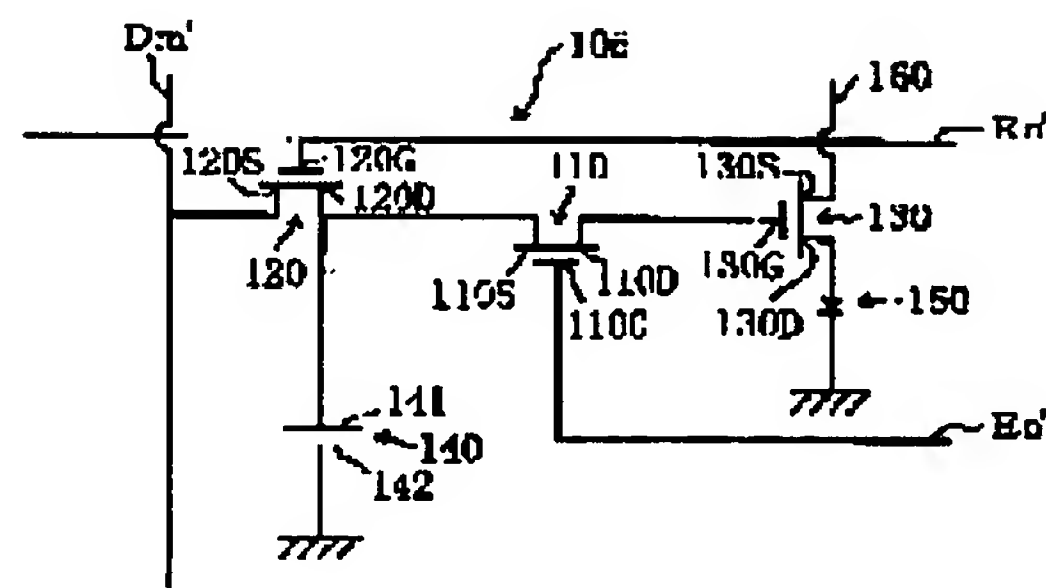


(11)Publication number : 2002-287696  
(43)Date of publication of application : 04.10.2002

G09G 3/30  
G09F 9/30  
G09G 3/20  
H05B 33/14

(72)Inventor : KONDO NOBUHIRO

**SOLUTION:** This display device is provided with a plurality of pixels which are arranged in the shape of a matrix having rows and columns and each of which has a light emitting element and a control circuit for controlling a current to be supplied to the light emitting element, a plurality of scanning wirings which are provided according to the rows and which supply a scanning signal to the control circuits and a plurality of signal wirings which are provided according to the columns and which supply a display signal to the control circuits. Moreover, the control circuit has a display signal buffer storing the display signal supplied to the control circuit in synchronization with the scanning signal and a first switching element for turning off the light emitting element at a prescribed timing.



**[Date of extinction of right]**

**Japanese Unexamined Patent Publication**  
**No. 2002-287696 (Tokukai 2002-287696)**

*The following is a partial English translation of exemplary portions of non-English language information that may be relevant to the issue of patentability of the claims of the present application.*

1. A display device, comprising:

a plurality of pixels arranged to form a matrix of rows and columns, each pixel having a light emitting element and a control circuit controlling an electric current supplied to the light emitting element;

a plurality of scan lines, provided corresponding to the rows, which supply scan signals to the control circuits; and

a plurality of signal lines, provided corresponding to the columns, which supply display signals to the control circuits,

wherein the control circuit includes: a display signal buffer which buffers the display signal supplied to the control circuit in synchronism with the scan signal; and a first switching element which turns off the light emitting

element at a predetermined timing.

[0028]

[MEANS TO SOLVE PROBLEMS] The display device of the present invention comprises: a plurality of pixels arranged to form a matrix of rows and columns, each pixel having a light emitting element and a control circuit controlling an electric current supplied to the light emitting element; a plurality of scan lines, provided corresponding to the rows, which supply scan signals to the control circuits; and a plurality of signal lines, provided corresponding to the columns, which supply display signals to the control circuits, wherein the control circuit includes: a display signal buffer which buffers the display signal supplied to the control circuit in synchronism with the scan signal; and a first switching element which turns off the light emitting element at a predetermined timing. The device thus achieves its objectives.

[0029] The control circuit may further include a second switching element and a third switching element. The second switching element supplies the display signal to the display signal buffer in accordance with the scan signal. The display signal buffer supplies the buffered display signal to the third switching element. The third switching

element supplies electric current to the light emitting element in accordance with the display signal.

[0030] The first switching element may be adapted to turn off the light emitting element by resetting the display signal buffered in the display signal buffer.

[0031] The first switching element may be adapted to turn off the light emitting element by blocking the supply of the display signal to the third switching element.

[0032] The display signal buffered in the display signal buffer may be updated at a predetermined cycle. The light emitting element emits light preferably for half a cycle or longer, more preferably for a quarter of one cycle or longer, in a period corresponding to one cycle.

[0033] The first switching element, the second switching element, and the third switching element are preferably thin film transistors fabricated from the same film.

[0034] The light emitting element may be an organic electroluminescence element.

(43)公開日 平成14年10月4日(2002.10.4)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ページト*(参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 5 C 0 9 4
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B
	6 4 1		6 4 1 R
審査請求 未請求 請求項の数 7 O L (全 15 頁) 最終頁に続く			

(21)出願番号 特願2001-90047(P2001-90047)

(22) 出願日 平成13年3月27日(2001.3.27)

(71)出願人 000003049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 近藤 伸裕

大阪府大阪市阿倍野区長池町22番22号 シ  
ヤーズ株式会社内

(74) 代理人 10007/931

井理士 前田 弘 (外2名)

Fターム(参考) 3K007 AB02 BA06 DA01 GA04

50080 AA06 BB05 DD30 JJ01 JJ02

JJ03 JJ04 JJ06

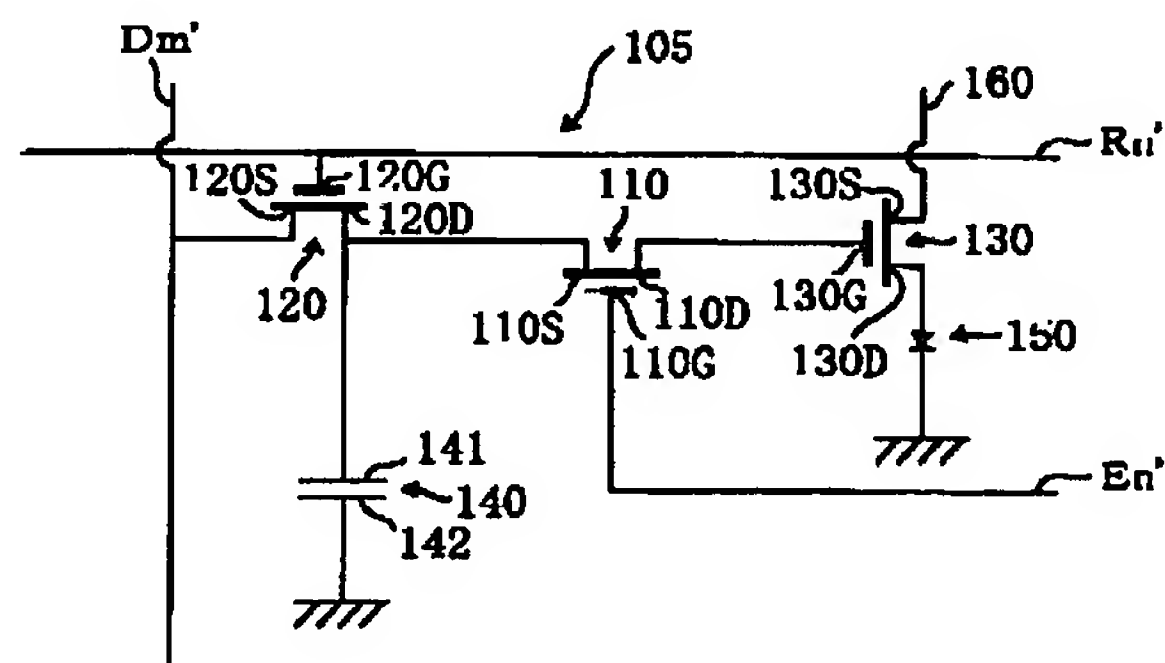
50094 AA10 BA03 BA27 BA43 CA19

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 動画表示特性に優れた表示装置を提供する。

【解決手段】 行および列を有するマトリクス状に配列された複数の画素であって、発光素子と、発光素子に供給される電流を制御する制御回路とをそれぞれが有する、複数の画素と、行に対応して設けられ、制御回路に走査信号を供給する複数の走査配線と、列に対応して設けられ、制御回路に表示信号を供給する複数の信号配線とを備える。制御回路は、走査信号に同期して制御回路に供給された表示信号を記憶する表示信号バッファと、発光素子を所定のタイミングで消光するための第1スイッチング素子とを有する。



【特許請求の範囲】

【請求項1】 行および列を有するマトリクス状に配列された複数の画素であって、発光素子と、前記発光素子に供給される電流を制御する制御回路とをそれぞれが有する、複数の画素と、

前記行に対応して設けられ、前記制御回路に走査信号を供給する複数の走査配線と、

前記列に対応して設けられ、前記制御回路に表示信号を供給する複数の信号配線とを備え、

前記制御回路は、前記走査信号に同期して前記制御回路に供給された前記表示信号を記憶する表示信号バッファと、前記発光素子を所定のタイミングで消光するための第1スイッチング素子とを有する表示装置。

【請求項2】 前記制御回路は、さらに、第2スイッチング素子と第3スイッチング素子とを有し、

前記第2スイッチング素子は、前記走査信号に応じて前記表示信号バッファに前記表示信号を供給し、

前記表示信号バッファは、記憶された前記表示信号を前記第3スイッチング素子に供給し、

前記第3スイッチング素子は、前記表示信号に応じて前記発光素子に電流を供給する、請求項1に記載の表示装置。

【請求項3】 前記第1スイッチング素子は、前記表示信号バッファに記憶された前記表示信号をリセットすることによって、前記発光素子を消光する、請求項1または2に記載の表示装置。

【請求項4】 前記第1スイッチング素子は、前記第3スイッチング素子への前記表示信号の供給を遮断することによって、前記発光素子を消光する、請求項2に記載の表示装置。

【請求項5】 前記表示信号バッファに記憶される前記表示信号は、所定の周期で更新され、

1周期に相当する期間において前記発光素子が発光する期間の長さは、1周期の長さの1/2以下である、請求項1から4のいずれかに記載の表示装置。

【請求項6】 前記第1スイッチング素子、前記第2スイッチング素子および前記第3スイッチング素子は、互いに同一の膜から形成された薄膜トランジスタである請求項1から5のいずれかに記載の表示装置。

【請求項7】 前記発光素子は、有機エレクトロルミネッセンス素子である、請求項1から6のいずれかに記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示装置に関し、特に、アクティブマトリクス型表示装置に関する。

【0002】

【従来の技術】アクティブマトリクスアドレス方式の表示装置は、高解像度の表示が可能なマトリクス画像表示装置として用いられている。現在、広く用いられている

アクティブマトリクス型表示装置は、各画素に設けられたスイッチング素子(例えば、薄膜トランジスタ)を線順次で駆動する方式のものである。

【0003】図9および図10に、発光素子として有機EL(エレクトロルミネッセンス)素子を備えたアクティブマトリクス型表示装置300を模式的に示す。図9は、アクティブマトリクス型表示装置300を模式的に示すブロック図であり、図10は、アクティブマトリクス型表示装置300の1画素に対応する領域(図9中の走査配線R<sub>n</sub>'と信号配線D<sub>m</sub>'との交差部308付近に相当)の等価回路を示す図である。

【0004】図9に示すように、アクティブマトリクス型表示装置300は、行および列を有するマトリクス状に配列された複数の画素と、行に対応して設けられた複数の走査配線R<sub>1</sub>~R<sub>n</sub>と、列に対応して設けられた複数の信号配線D<sub>1</sub>~D<sub>m</sub>と、走査回路301と、信号回路302と、コントロール部303とを有する。走査回路301は、複数の走査配線R<sub>1</sub>~R<sub>n</sub>のそれぞれに、走査信号を順次供給し、複数の画素を行ごとに線順次走査する。信号回路302は、複数の信号配線D<sub>1</sub>~D<sub>m</sub>のそれぞれに、線順次走査と同期して、表示信号を供給する。コントロール部303は、走査回路301および信号回路302の同期制御を行う。

【0005】また、アクティブマトリクス型表示装置300は、図10に示すように、複数の画素ごとに、第1トランジスタ320と、第2トランジスタ330と、キャパシタ340と、有機EL(エレクトロルミネッセンス)素子350とを備えている。

【0006】第1トランジスタ320は、ゲート電極320G、ソース電極320Sおよびドレイン電極320Dを有しており、第2トランジスタ330は、ゲート電極330G、ソース電極330Sおよびドレイン電極330Dを有している。また、キャパシタ340は、第1電極341と第2電極342とを有している。

【0007】第1トランジスタ320のゲート電極320Gは、複数の走査配線R<sub>1</sub>~R<sub>n</sub>のいずれかに電氣的に接続され、第1トランジスタ320のソース電極320Sは、複数の信号配線D<sub>1</sub>~D<sub>m</sub>のいずれかに電氣的に接続され、第1トランジスタ320のドレイン電極320Dは、キャパシタ340の第1電極341および第2トランジスタ330のゲート電極330Gに電氣的に接続されている。このように接続されている第1トランジスタ320は、走査配線からゲート電極320Gに走査信号が供給されている間に信号配線からソース電極320Sに供給された表示信号を、ドレイン電極320Dを介してキャパシタ340の第1電極341および第2トランジスタ330のゲート電極330Gに供給する。

【0008】キャパシタ340の第1電極341は、第1トランジスタ320のドレイン電極320Dおよび第2トランジスタ330のゲート電極330Gに電氣的に



接続されており、キャパシタ340の第2電極342は、接地されている。このように接続されているキャパシタ340は、第1トランジスタ320から供給される表示信号を記憶し、第1トランジスタ320から第2トランジスタ330のゲート電極330Gへの表示信号の供給が停止された後、第2トランジスタ330のゲート電極330Gに表示信号を供給する。

【0009】第2トランジスタ330のゲート電極330Gは、第1トランジスタ320のドレイン電極320Dおよびキャパシタ340の第1電極341と電気的に接続されており、第2トランジスタ330のソース電極330Sは、電源ライン360に電気的に接続されており、第2トランジスタ330のドレイン電極330Dは、有機EL素子350に電気的に接続され、有機EL素子350を介して接地されている。このように接続されている第2トランジスタ330は、第1トランジスタ320またはキャパシタ340からゲート電極330Gに表示信号が供給されている間、電源ライン360からソース電極330Sに供給される電流をドレイン電極330Dを介して有機EL素子350に供給する。

【0010】有機EL素子350は、例えば、アノード側（第2トランジスタ330側）に形成された正孔輸送層と、カソード側（接地側）に形成された電子輸送性発光層とから構成されており、有機EL素子350に供給される電流の大きさに応じて発光する。

【0011】上述の構成を有するアクティブマトリクス型表示装置300は、例えば、以下のようにして動作する。

【0012】まず、走査回路301が、複数の走査配線R1～Rnのそれぞれに走査信号を順次供給し、第1トランジスタ320のゲート電極320Gに走査信号に応じた電圧が印加される。

【0013】これと同期して、信号回路302は、複数の信号配線D1～Dmに表示信号を供給し、第1トランジスタ320のソース電極320Sに表示信号に応じた電圧が印加され、ドレイン電極320Dを介してキャパシタ340の第1電極341に表示信号に応じた電圧が印加されて、キャパシタ340が充電される。また、このとき、第1トランジスタ320のドレイン電極320Dから、第2トランジスタ330のゲート電極330Dにも表示信号に応じた電圧が印加される。

【0014】第2トランジスタ330のゲート電極330Gに印加された電圧に応じて、電源ライン360から第2トランジスタ330を介して有機EL素子350に電流が供給され、有機EL素子350が発光する。第1トランジスタ320のドレイン電極320Dから第2トランジスタ330のゲート電極330Gへの電圧の印加が停止された後は、キャパシタ340によって第2トランジスタ330のゲート電極330Gに電圧が印加され、所定の期間有機EL素子350の発光が維持され

る。

【0015】上述のように、アクティブマトリクス型表示装置300においては、キャパシタ340が表示信号を記憶する表示信号バッファとして機能するので、信号配線から表示信号が供給されている期間よりも長く、有機EL素子350を発光させることができ、輝度を向上させることが可能となる。

【0016】しかしながら、上述のアクティブマトリクス型表示装置300は、動画表示特性が低いという問題を有している。以下にその理由を説明する。

【0017】一般に、表示装置の表示方式は、ホールド型とインパルス型とに大別される。ホールド型の表示装置としては、例えば、液晶表示装置が挙げられ、インパルス型の表示装置としては、例えば、ブラウン管（CRT）が挙げられる。図11（a）および（b）に、ホールド型およびインパルス型の表示装置のある画素における時間-輝度分布をそれぞれ模式的に示す。

【0018】ホールド型の表示装置においては、図11（a）に示すように、所定の輝度で表示を行っている画素は、表示状態が書き換えられるまで、ほぼそのままの輝度を維持する。なお、図11（a）および（b）では、表示の書き換え間隔をTで示す。一方、インパルス型の表示装置においては、図11（b）に示すように、所定の輝度で表示を行っている画素は、表示状態が書き換えられる前に輝度を失い、インパルス型の表示装置は、点滅画素の集合として画像を表示する。

【0019】ホールド型の表示装置においては、人間の視覚の時間積分効果によって、動画のぼけが知覚されることが知られており、動画表示特性においては、ホールド型の表示装置よりもインパルス型の表示装置の方が優れている。

【0020】図12（a）および（b）を参照しながら、視覚の時間積分効果について説明する。図12（a）および（b）は、それぞれ、ホールド型の表示装置およびインパルス型の表示装置において、水平方向に連続した8つの画素からなる画像を1フレームあたり水平方向（図中右方向）に4画素分移動させる場合の様子を模式的に示す図である。

【0021】図12（a）に示すように、ホールド型の表示装置においては、水平方向に連続した8つの画素が、1フレームの間所定の輝度で表示を行い続け、次のフレームにおいては、4画素分ずれた位置の水平方向に連続した8つの画素が再び所定の輝度で表示を行う。このため、その動きを目で追う観察者には、視覚の時間積分効果によって、4つの画素の平均の明るさが知覚される。

【0022】一方、図12（b）に示すように、インパルス型の表示装置においては、水平方向に連続した8つの画素が、1フレームの間のある期間だけ所定の輝度で表示を行い、その後の期間はこれらの画素は輝度を失っ

ており、次のフレームにおいては、4画素分ずれた位置の水平方向に連続した8つの画素が再び所定の輝度で表示を行う。このため、積分する時間の幅が狭くなり、観察者には、2つの画素の平均の明るさが知覚される。従って、インパルス型の表示装置においては、動画のぼけが防止され、ホールド型の表示装置よりも優れた動画表示特性が実現される。

【0023】図9および図10に示したアクティブマトリクス型表示装置300においては、各画素の有機EL素子350は、ほぼ1フレームの間発光し続けるため、図11(a)に示したホールド型の表示装置と同様の時間-輝度分布となり、動画のぼけが発生する。

【0024】上述の問題を解決するために、特開2000-347622号公報は、1フレームに相当する期間における発光手段（例えば有機EL素子）の発光期間の長さを、1フレームに相当する期間の長さの $1/3$ 以下とすることによって、インパルス型の表示装置と同様の時間-輝度分布が実現され、動画表示特性が向上した表示装置を開示している。

【0025】

【発明が解決しようとする課題】しかしながら、上述の特開2000-347622号公報が開示する表示装置には、以下の問題があることを本願発明者は見出した。

【0026】上述の公報が開示する表示装置においては、発光手段に電流を供給する電流供給源と、発光手段への電流供給を制御するために画素ごとに設けられた第1制御手段との間に、発光期間の長さを制御するための第2制御手段を設けることによって、発光手段の発光期間の長さを調整している。この第2制御手段は、全画素共通にまたは行ごとに設けられたスイッチであるので、各画素に設けられた発光素子からスイッチまでの距離が長く、配線引き回しによる配線抵抗のばらつきが大きい。また、全画素共通にまたは行ごとに設けられたスイッチによって、各画素の発光と消光とを高速で切り替えることは困難である。

【0027】本発明は、上述の問題に鑑みてなされたものであり、その目的は、動画表示特性に優れた表示装置を提供することにある。

【0028】

【課題を解決するための手段】本発明による表示装置は、行および列を有するマトリクス状に配列された複数の画素であって、発光素子と、前記発光素子に供給される電流を制御する制御回路とをそれぞれが有する、複数の画素と、前記行に対応して設けられ、前記制御回路に走査信号を供給する複数の走査配線と、前記列に対応して設けられ、前記制御回路に表示信号を供給する複数の信号配線とを備え、前記制御回路は、前記走査信号に同期して前記制御回路に供給された前記表示信号を記憶する表示信号バッファと、前記発光素子を所定のタイミングで消光するための第1スイッチング素子とを有し、そ

のことによって上記目的が達成される。

【0029】前記制御回路は、さらに、第2スイッチング素子と第3スイッチング素子とを有し、前記第2スイッチング素子は、前記走査信号に応じて前記表示信号バッファに前記表示信号を供給し、前記表示信号バッファは、記憶された前記表示信号を前記第3スイッチング素子に供給し、前記第3スイッチング素子は、前記表示信号に応じて前記発光素子に電流を供給する構成としてもよい。

【0030】前記第1スイッチング素子は、前記表示信号バッファに記憶された前記表示信号をリセットすることによって、前記発光素子を消光する構成としてもよい。

【0031】前記第1スイッチング素子は、前記第3スイッチング素子への前記表示信号の供給を遮断することによって、前記発光素子を消光する構成としてもよい。

【0032】前記表示信号バッファに記憶される前記表示信号は、所定の周期で更新され、1周期に相当する期間において前記発光素子が発光する期間の長さは、1周期の長さの $1/2$ 以下であることが好ましく、 $1/4$ 以下であることがさらに好ましい。

【0033】前記第1スイッチング素子、前記第2スイッチング素子および前記第3スイッチング素子は、互いに同一の膜から形成された薄膜トランジスタであることが好ましい。

【0034】前記発光素子は、有機エレクトロルミネッセンス素子であってもよい。

【0035】

【発明の実施の形態】以下、図面を参照しながら本発明による実施形態の表示装置を説明する。なお、本発明は以下の実施形態に限定されるものではない。

（実施形態1）図1および図2に、本発明による実施形態1の表示装置100を模式的に示す。図1は、表示装置100を模式的に示すブロック図であり、図2は、表示装置100の1画素に対応する領域（図1中の走査配線 $R_n$ と信号配線 $D_m$ との交差点108付近に相当）の等価回路を示す図である。

【0036】本発明による実施形態1の表示装置100は、行および列を有するマトリクス状に配列された複数の画素であって、発光素子としての有機エレクトロルミネッセンス（EL）素子150と、有機EL素子150に供給される電流を制御する制御回路105とをそれぞれが有する複数の画素と、行に対応して設けられた複数の走査配線 $R_1 \sim R_n$ と、列に対応して設けられた複数の信号配線 $D_1 \sim D_m$ とを有している。

【0037】複数の走査配線 $R_1 \sim R_n$ は、制御回路105に走査信号を供給し、複数の信号配線 $D_1 \sim D_m$ は、制御回路105に表示信号を供給する。複数の走査配線 $R_1 \sim R_n$ は、表示領域外に設けられた走査回路101に接続されており、走査回路101から走査信号に



相当する電圧を順次印加される。また、複数の信号配線  $D1 \sim Dm$  は、表示領域外に設けられた信号回路 102 に接続されており、信号回路から表示信号に相当する電圧を印加される。走査回路 101 および信号回路 102 は、表示領域外に設けられたコントロール部 103 に接続されており、コントロール部 103 によって同期制御される。表示装置 100 は、さらに、行に対応して設けられた複数のさらなる走査配線  $E1 \sim En$  を有している。さらなる走査配線  $E1 \sim En$  は、表示領域外に設けられた消光回路 104 に接続されており、消光回路 104 から任意のタイミングで走査信号を供給される。

【0038】複数の画素のそれぞれが有する制御回路 105 は、走査信号に同期して制御回路 105 に供給された表示信号を記憶する表示信号バッファ 140 と、有機 EL 素子 150 を所定のタイミングで消光するためのスイッチング素子としての第 1 TFT 110 とを有する。

【0039】制御回路 105 は、さらに、走査信号に応じて表示信号バッファ 140 に表示信号を供給する第 2 TFT 120 と、表示信号に応じて有機 EL 素子 150 に電流を供給する第 3 TFT 130 とを有する。

【0040】以下、図 2 を参照しながらさらに詳しく説明する。

【0041】第 1 TFT 110 は、ゲート電極 110G、ソース電極 110S およびドレイン電極 110D を有し、第 2 TFT 120 は、ゲート電極 120G、ソース電極 120S およびドレイン電極 120D を有する。第 3 TFT 130 は、ゲート電極 130G、ソース電極 130S およびドレイン電極 130D を有する。

【0042】表示信号バッファ 140 は、第 1 電極 141 と第 2 電極 142 とを有し、第 1 電極 141 と、第 2 電極 142 と、第 1 電極 141 と第 2 電極 142 との間に設けられた誘電体とによって構成された容量（キャパシタ）である。

【0043】第 2 TFT 120 のゲート電極 120G は、複数の走査配線  $R1 \sim Rn$  のいずれかに電気的に接続され、第 2 TFT 120 のソース電極 120S は、複数の信号配線  $D1 \sim Dm$  のいずれかに電気的に接続され、第 2 TFT 120 のドレイン電極 120D は、表示信号バッファ 140 の第 1 電極 141 および第 1 TFT 110 のソース電極 110S に電気的に接続されている。このように接続されている第 2 TFT 120 は、走査配線からゲート電極 120G に走査信号が供給されている間に信号配線からソース電極 120S に供給された表示信号を、ドレイン電極 120D を介して表示信号バッファ 140 の第 1 電極 141 および第 1 TFT 110 のソース電極 110S に供給する。

【0044】表示信号バッファ 140 の第 1 電極 141 は、第 2 TFT 120 のドレイン電極 120D および第 1 TFT 110 のソース電極 110S に電気的に接続されており、表示信号バッファ 140 の第 2 電極 142

は、接地されている。このように接続されている表示信号バッファ 140 は、第 2 TFT 120 から供給される表示信号を記憶し、第 2 TFT 120 から第 1 TFT 110 のソース電極 110S への表示信号の供給が停止された後、第 1 TFT 110 のソース電極 110S に表示信号を供給する。

【0045】第 1 TFT 110 のゲート電極 110G は、さらなる走査配線  $E1 \sim En$  のいずれかに電気的に接続されており、第 1 TFT 110 のソース電極 110S は、第 2 TFT 120 のドレイン電極 120D および表示信号バッファ 140 の第 1 電極 141 に電気的に接続されており、第 1 TFT 110 のドレイン電極 110D は、第 3 TFT 130 のゲート電極 130G に電気的に接続されている。このように接続されている第 1 TFT 110 は、さらなる走査配線からゲート電極 110G に走査信号が供給されている間、第 2 TFT 120 および表示信号バッファ 140 からソース電極 110S に供給される表示信号を、ドレイン電極 110D を介して第 3 TFT 130 のゲート電極 130G に供給する。また、第 1 TFT 110 は、さらなる走査配線からの走査信号の供給が停止された後は、第 3 TFT 130 への表示信号の供給を停止する。

【0046】第 3 TFT 130 のゲート電極 130G は、第 1 TFT 110 のドレイン電極 110D と電気的に接続されており、第 3 TFT 130 のソース電極 130S は、電源ライン 160 に電気的に接続されており、第 3 TFT 130 のドレイン電極 130D は、有機 EL 素子 150 に電気的に接続され、有機 EL 素子 150 を介して接地されている。このように接続されている第 3 TFT 130 は、第 1 TFT 110 からゲート電極 130G に表示信号が供給されている間、電源ライン 160 からソース電極 130S に供給される電流をドレイン電極 130D を介して有機 EL 素子 150 に供給する。

【0047】有機 EL 素子 150 は、例えば、アノード側（第 3 TFT 130 のドレイン電極 130D 側）に形成された正孔輸送層と、カソード側（接地側）に形成された電子輸送性発光層とから構成されており、有機 EL 素子 150 に供給される電流の大きさに応じて発光する。

【0048】上述の構成を有する表示装置 100 のさらに具体的な構成を図 3 (a) および (b) を参照しながら説明する。図 3 (a) は、本発明による実施形態 1 の表示装置 100 の 1 画素に対応する領域（図 1 中の走査配線  $Rn'$  と信号配線  $Dm'$  との交差点 108 付近に相当）を模式的に示す上面図であり、図 3 (b) は、図 3 (a) 中の A-A' 線に沿った断面図である。

【0049】表示装置 100 が有する制御回路 105 および有機 EL 素子 150 は、絶縁性基板（例えば、ガラス基板；不図示）上に形成されている。

【0050】走査配線  $Rn'$ 、さらなる走査配線  $En'$

およびゲート電極110G、120G、130Gが絶縁性基板上に形成され、これらを覆うように第1絶縁層171が形成されている。第1TFT110のゲート電極110Gは、さらなる走査配線E<sub>n</sub>'と一体に形成され、第2TFT120のゲート電極120Gは、走査配線R<sub>n</sub>'と一体に形成されている。第1絶縁層171は、第1TFT110、第2TFT120および第3TFT130のゲート絶縁膜としても機能する。走査配線R<sub>n</sub>'、さらなる走査配線E<sub>n</sub>'およびゲート電極110G、120G、130Gは、例えばアルミニウムからなり、第1絶縁層171は、例えば酸化シリコン、窒化シリコンまたは酸化タンタルからなる。

【0051】ゲート電極110G、120Gおよび130G上に位置する第1絶縁層171上に、半導体層172、ソース電極110S、120S、130S、および、ドレイン電極110D、120D、130Dが形成されている。また、第1絶縁層171上には、信号配線D<sub>m</sub>'、表示信号バッファ140の第1電極141、電源ライン160および有機EL素子150のアノードとして機能する導電層（電極）151も形成されている。

【0052】第2TFT120のソース電極120Sは、信号配線D<sub>m</sub>'と一体に形成されており、第2TFTのドレイン電極120Dおよび第1TFT110のソース電極110Sは、表示信号バッファ140の第1電極141と一体に形成されている。第3TFT130のソース電極130Sは、電源ライン160と一体に形成されており、第3TFT130のドレイン電極130Dは、導電層（電極）151と一体に形成されている。また、第1TFT110のドレイン電極110Dと、第3TFT130のゲート電極130Gとは、第1絶縁層171に設けられたコンタクトホール171'において電気的に接続されている。

【0053】半導体層172は、例えばアモルファスシリコンまたは多結晶シリコンからなり、ソース電極110S、120S、130S、ドレイン電極110D、120D、130D、信号配線D<sub>m</sub>'、表示信号バッファ140の第1電極141、電源ライン160、および、導電層（電極）151は、例えばアルミニウムからなる。

【0054】そして、表示信号バッファ140の第1電極141などを覆うように、第2絶縁層173が形成されており、この第2絶縁層173上に、表示信号バッファ140の第2電極142と、有機EL素子150のカソードとして機能する透明導電層（透明電極）152とが一体に形成されている。表示信号バッファ140の第1電極141と、第2電極142と、第1電極141と第2電極142との間に位置する第2絶縁層173とが容量（キャパシタ）を構成している。また、有機EL素子のアノードとして機能する導電層（電極）151と、カソードとして機能する透明導電層（透明電極）152

との間には、典型的には、正孔輸送層と、電子輸送性発光層とが設けられている。第2絶縁層173は、例えば酸化シリコン、窒化シリコンまたは酸化タンタルからなり、表示信号バッファ140の第2電極142および透明導電層（透明電極）152は、例えばITO、酸化亜鉛または酸化錫からなる。

【0055】上述の構成を有する表示装置100は、例えば、以下のようにして駆動される。図4は、この表示装置100を駆動するためのタイミングチャートである。

【0056】まず、複数の走査配線R<sub>1</sub>～R<sub>n</sub>のうち、1行目に設けられた走査配線R<sub>1</sub>から制御回路105に走査信号が供給され、第2TFT120のゲート電極120Gに走査信号に応じた電圧（オン電圧）が印加される。

【0057】これと同期して、複数の信号配線D<sub>1</sub>～D<sub>m</sub>から制御回路105に表示信号が供給され、第2TFT120のドレイン電極120Dから、表示信号バッファ140の第1電極141に表示信号に応じた電圧が印加されて、表示信号バッファ140が充電される。すなわち、表示信号バッファ140に表示信号が記憶される。

【0058】また、このとき、さらなる走査配線E<sub>1</sub>から第1TFT110に走査信号が供給され、第1TFT110のゲート電極110Gに走査信号に応じた電圧（オン電圧）が印加されているので、第2TFT120のドレイン電極120Dから第1TFT110を介して、第3TFT130のゲート電極130にも電圧が印加される。第3TFT130のゲート電極130Gに印加された電圧に応じて、電源ライン160から第3TFT130を介して有機EL素子150に電流が供給され、有機EL素子150が発光する。

【0059】走査配線R<sub>1</sub>から第2TFT120への走査信号の供給が停止された後は、表示信号バッファ140によって第3TFT130のゲート電極130Gに電圧が印加され、有機EL素子150の発光が維持される。

【0060】その後、所定のタイミングで、さらなる走査配線E<sub>1</sub>から第1TFT110への走査信号の供給が停止され、第1TFT110のゲート電極110Gにオフ電圧が印加されることによって、表示信号バッファ140からの第3TFT130への表示信号の供給が遮断され、電源ライン160から第3TFT130を介して有機EL素子150に供給される電流が遮断されて、有機EL素子150が消光される。

【0061】また、走査配線R<sub>1</sub>からの走査信号の供給が停止されると、2行目の走査配線R<sub>2</sub>から走査信号が供給され、その後、各行に設けられた走査配線から順次走査信号が供給されて、各画素が有する有機EL素子150が表示信号に応じて発光する。そして、1行目の画



素の有機EL素子150と同様に、各行の画素の有機EL素子150は所定のタイミングで順次消光される。

【0062】上述のようにして、表示装置100が駆動される。

【0063】本発明による表示装置100においては、複数の画素のそれぞれが有する制御回路105が、有機EL素子150を所定のタイミングで消光するためのスイッチング素子としての第1TFT110を有している。複数の画素ごとに設けられた有機EL素子150を所望のタイミングで消光することが可能となる。従って、表示信号が更新される周期の長さと、1周期に相当する期間において有機EL素子150が発光する期間の長さとの割合を任意の割合とすることが可能となる。そのため、動画のぼけが防止された高品位の動画表示が実現される。

【0064】1周期に相当する期間において有機EL素子150が発光する期間の長さを1周期の長さの $1/2$ 以下とすると、動画のぼけが確実に抑制され、高品位の動画表示が実現される。さらに、1周期に相当する期間において有機EL素子150が発光する期間の長さを1周期の長さの $1/4$ 以下とすると、動画のぼけがより確実に抑制され、一層高品位の動画表示が実現される。

【0065】本実施形態においては、図4に示したように、制御回路105に表示信号が供給されるのとはほぼ同時に有機EL素子150の発光を開始する場合について説明したが、全ての行の制御回路105に表示信号を供給した後に、全ての行のさらなる走査配線から一斉に第1TFT110に走査信号を供給し、全ての画素の有機EL素子150を一斉に発光させてもよい。ただし、この場合には、1周期に相当する期間において有機EL素子150が発光する期間の長さは、1周期の長さから、全ての行の制御回路105に表示信号を供給する期間の長さを引いた長さの範囲内で設定されるので、十分な輝度が得られないことがある。図3に示したように、制御回路105に表示信号が供給されるのとはほぼ同時に有機EL素子150の発光を開始すると、1周期に相当する期間において有機EL素子150が発光する期間の長さは、1周期の長さの範囲内で任意に設定されるので、高輝度の表示が実現される。

【0066】また、本発明による表示装置100においては、複数の画素のそれぞれが有する第1TFT110が第3TFT130への表示信号の供給を遮断することによって、有機EL素子150の消光が行われるので、消光するためのスイッチング素子としての第1TFT110から有機EL素子150までの距離が短く、配線引き回しによる配線抵抗のばらつきが画素間で小さい。さらに、第1TFT110は画素ごとに設けられているので、有機EL素子150の発光と消光とを高速で（比較的短い間隔で）切り替えることができる。

【0067】さらに、本実施形態においては、第1TFT

110、第2TFT120および第3TFT130は、図3(a)および(b)に示したように、互いに同一の膜から形成されている。このように、第1TFT110、第2TFT120および第3TFT130が互いに同一の膜から形成されている構成を採用すると、製造工程において、消光するためのスイッチング素子としての第1TFT110を形成するために新たな工程を設ける必要がなく、本実施形態の表示装置100は効率よく製造できる。

【0068】なお、本実施形態においては、図3に示したように、複数の画素のそれぞれが有する有機EL素子150が、1周期に相当する期間において所定の期間連続的に発光する場合について説明したが、これに限定されず、1周期に相当する期間において、有機EL素子150を断続的に発光させてもよい。本実施形態による表示装置100においては、第1TFT110によって表示信号バッファ140から第3TFT130への表示信号の供給が遮断され、これによって、有機EL素子150が消光される。そのため、第1TFT110のゲート電極110Gに1周期に相当する期間において断続的にオン電圧を印加し、表示信号バッファ140に記憶された表示信号を断続的に第3TFT130に供給することによって、1周期に相当する期間において有機EL素子150を断続的に発光させることが可能となる。

（実施形態2）図5および図6に、本発明による実施形態2の表示装置200を模式的に示す。図5は、表示装置200を模式的に示すブロック図であり、図6は、表示装置200の1画素に対応する領域（図4中の走査配線 $R_n$ と信号配線 $D_m$ との交差点208付近に相当）の等価回路を示す図である。本発明による実施形態1の表示装置100が、第3TFT130への表示信号の供給を遮断することによって有機EL素子150を消光する第1TFT110を有するのに対し、実施形態2の表示装置200は、表示信号バッファ240に記憶された表示信号をリセットすることによって有機EL素子250を消光する第1TFT210を有する点において異なる。

【0069】本発明による実施形態2の表示装置200は、行および列を有するマトリクス状に配列された複数の画素であって、発光素子としての有機エレクトロルミネッセンス（EL）素子250と、有機EL素子250に供給される電流を制御する制御回路205とをそれぞれが有する複数の画素と、行に対応して設けられた複数の走査配線 $R_1 \sim R_n$ と、列に対応して設けられた複数の信号配線 $D_1 \sim D_m$ とを有している。

【0070】複数の走査配線 $R_1 \sim R_n$ は、制御回路205に走査信号を供給し、複数の信号配線 $D_1 \sim D_m$ は、制御回路205に表示信号を供給する。複数の走査配線 $R_1 \sim R_n$ は、表示領域外に設けられた走査回路201に接続されており、走査回路201から走査信号に

相当する電圧を順次印加される。また、複数の信号配線D1～Dmは、表示領域外に設けられた信号回路202に接続されており、信号回路から表示信号に相当する電圧を印加される。走査回路201および信号回路202は、表示領域外に設けられたコントロール部203に接続されており、コントロール部203によって同期制御される。表示装置200は、さらに、行に対応して設けられた複数のさらなる走査配線E1～Enを有している。さらなる走査配線E1～Enは、表示領域外に設けられた消光回路204に接続されており、消光回路204から任意のタイミングで走査信号を供給される。

【0071】複数の画素のそれぞれが有する制御回路205は、走査信号に同期して制御回路205に供給された表示信号を記憶する表示信号バッファ240と、有機EL素子250を所定のタイミングで消光するためのスイッチング素子としての第1TFT210とを有する。

【0072】制御回路205は、さらに、走査信号に応じて表示信号バッファ240に表示信号を供給する第2TFT220と、表示信号に応じて有機EL素子250に電流を供給する第3TFT230とを有する。

【0073】以下、図6を参照しながらさらに詳しく説明する。

【0074】第1TFT210は、ゲート電極210G、ソース電極210Sおよびドレイン電極210Dを有し、第2TFT220は、ゲート電極220G、ソース電極220Sおよびドレイン電極220Dを有する。第3TFT230は、ゲート電極230G、ソース電極230Sおよびドレイン電極230Dを有する。

【0075】表示信号バッファ240は、第1電極241と第2電極242とを有し、第1電極241と、第2電極242と、第1電極241と第2電極242との間に設けられた誘電体とによって構成された容量（キャパシタ）である。

【0076】第2TFT220のゲート電極220Gは、複数の走査配線R1～Rnのいずれかに電氣的に接続され、第2TFT220のソース電極220Sは、複数の信号配線D1～Dmのいずれかに電氣的に接続され、第2TFT220のドレイン電極220Dは、表示信号バッファ240の第1電極241および第3TFT230のゲート電極230Gに電氣的に接続されている。このように接続されている第2TFT220は、走査配線からゲート電極220Gに走査信号が供給されている間に信号配線からソース電極220Sに供給された表示信号を、ドレイン電極220Dを介して表示信号バッファ240の第1電極241および第3TFT230のゲート電極230Gに供給する。

【0077】表示信号バッファ240の第1電極241は、第2TFT220のドレイン電極220D、第3TFT230のゲート電極230Gおよび第1TFT210のソース電極210Sに電氣的に接続されており、表

示信号バッファ240の第2電極242は、第1TFT210のドレイン電極220Dに電氣的に接続されているとともに接地されている。このように接続されている表示信号バッファ240は、第2TFT220から供給される表示信号を記憶し、第2TFT220から第3TFT230のゲート電極230Gへの表示信号の供給が停止された後、第3TFT230のゲート電極230Gに表示信号を供給する。

【0078】第1TFT210のゲート電極210Gは、さらなる走査配線E1～Enのいずれかに電氣的に接続されており、第1TFT210のソース電極210Sは、表示信号バッファ240の第1電極241に電氣的に接続されており、第1TFT210のドレイン電極210Dは、表示信号バッファ240の第2電極242に電氣的に接続されている。このように接続されている第1TFT210は、さらなる走査配線からゲート電極210Gに走査信号が供給されている間、表示信号バッファ240の第1電極241と第2電極242とを互いに電氣的に接続することによって、表示信号バッファ240の第1電極241と第2電極242との間の電位をほぼ等しくし、表示信号バッファ240に記憶された表示信号をリセットする。

【0079】第3TFT230のゲート電極230Gは、第2TFT220のドレイン電極220Dおよび表示信号バッファ240の第1電極241に電氣的に接続されており、第3TFT230のソース電極230Sは、電源ライン260に電氣的に接続されており、第3TFT230のドレイン電極230Dは、有機EL素子250に電氣的に接続され、有機EL素子250を介して接地されている。このように接続されている第3TFT230は、第2TFT220または表示信号バッファ240からゲート電極230Gに表示信号が供給されている間、電源ライン260からソース電極230Sに供給される電流をドレイン電極230Dを介して有機EL素子250に供給する。

【0080】有機EL素子250は、例えば、アノード側（第3TFT230のドレイン電極230D側）に形成された正孔輸送層と、カソード側（接地側）に形成された電子輸送性発光層とから構成されており、有機EL素子250に供給される電流の大きさに応じて発光する。

【0081】上述の構成を有する表示装置200のさらに具体的な構成を図7（a）および（b）を参照しながら説明する。図7（a）は、本発明による実施形態1の表示装置100の1画素に対応する領域（図5中の走査配線Rn'と信号配線Dm'との交差点108付近に相当）を模式的に示す上面図であり、図7（b）は、図7（a）中のA-A'線に沿った断面図である。

【0082】表示装置200が有する制御回路205および有機EL素子250は、絶縁性基板（例えば、ガラ



基板；不図示）上に形成されている。

【0083】走査配線 $R_n'$ 、さらなる走査配線 $E_n'$ およびゲート電極210G、220G、230Gが絶縁性基板上に形成され、これらを覆うように第1絶縁層271が形成されている。第1TFT210のゲート電極210Gは、さらなる走査配線 $E_n'$ と一体に形成され、第2TFT220のゲート電極220Gは、走査配線 $R_n'$ と一体に形成されている。第1絶縁層271は、第1TFT210、第2TFT220および第3TFT230のゲート絶縁膜としても機能する。走査配線 $R_n'$ 、さらなる走査配線 $E_n'$ およびゲート電極210G、220G、230Gは、例えばアルミニウムからなり、第1絶縁層271は、例えば酸化シリコン、窒化シリコンまたは酸化タンタルからなる。

【0084】ゲート電極210G、220Gおよび230G上に位置する第1絶縁層271上に、半導体層272、ソース電極210S、220S、230S、および、ドレイン電極210D、220D、230Dが形成されている。また、第1絶縁層271上には、信号配線 $D_m'$ 、表示信号バッファ240の第1電極241、電源ライン260および有機EL素子250のアノードとして機能する導電層（電極）251も形成されている。

【0085】第2TFT220のソース電極220Sは、信号配線 $D_m'$ と一体に形成されており、第2TFT220のドレイン電極220Dおよび第1TFT210のソース電極210Sは、表示信号バッファ240の第1電極241と一体に形成されている。第3TFT230のソース電極230Sは、電源ライン260と一体に形成されており、第3TFT230のドレイン電極230Dは、導電層（電極）251と一体に形成されている。また、表示信号バッファ240の第1電極241と、第3TFT230のゲート電極230Gとは、第1絶縁層271に設けられたコンタクトホール271'において電気的に接続されている。

【0086】半導体層272は、例えばアモルファスシリコンまたは多結晶シリコンからなり、ソース電極210S、220S、230S、ドレイン電極210D、220D、230D、信号配線 $D_m'$ 、表示信号バッファ240の第1電極241、電源ライン260、および、導電層（電極）251は、例えばアルミニウムからなる。

【0087】そして、表示信号バッファ240の第1電極241などを覆うように、第2絶縁層273が形成されており、この第2絶縁層273上に、表示信号バッファ240の第2電極242と、有機EL素子250のカソードとして機能する透明導電層（透明電極）252とが一体に形成されている。透明導電層（透明電極）252と、第1TFT210のドレイン電極210Dとは、第2絶縁層273に設けられたコンタクトホール273'において電気的に接続されている。

【0088】表示信号バッファ240の第1電極241と、第2電極242と、第1電極241と第2電極242との間に位置する第2絶縁層273とが容量（キャパシタ）を構成している。また、有機EL素子250のアノードとして機能する導電層（電極）251と、カソードとして機能する透明導電層（透明電極）252との間には、典型的には、正孔輸送層と、電子輸送性発光層とが設けられている。第2絶縁層273は、例えば酸化シリコン、窒化シリコンまたは酸化タンタルからなり、表示信号バッファ240の第2電極242および透明導電層（透明電極）252は、例えばITOからなる。

【0089】上述の構成を有する表示装置200は、例えば、以下のようにして駆動される。図8は、表示装置200を駆動するためのタイミングチャートである。

【0090】まず、複数の走査配線 $R_1 \sim R_n$ のうち、1行目に設けられた走査配線 $R_1$ から制御回路205に走査信号が供給され、第2TFT220のゲート電極220Gに走査信号に応じた電圧（オン電圧）が印加される。

【0091】これと同期して、複数の信号配線 $D_1 \sim D_m$ から制御回路205に表示信号が供給され、第2TFT220のドレイン電極220Dから、表示信号バッファ240の第1電極241に表示信号に応じた電圧が印加されて、表示信号バッファ240が充電される。すなわち、表示信号バッファ240に表示信号が記憶される。

【0092】また、このとき、第2TFT220のドレイン電極220Dから第3TFT230のゲート電極230Gにも表示信号に応じた電圧が印加される。第3TFT230のゲート電極230Gに印加された電圧に応じて、電源ライン260から第3TFT230を介して有機EL素子250に電流が供給され、有機EL素子250が発光する。

【0093】走査配線 $R_1$ から第2TFT220への走査信号の供給が停止された後は、表示信号バッファ240によって第3TFT230のゲート電極230Gに電圧が印加され、有機EL素子250の発光が維持される。

【0094】その後、所定のタイミングで、さらなる走査配線 $E_1$ から第1TFT210に走査信号が供給され、第1TFT210のゲート電極210Gにオン電圧が印加されることによって、表示信号バッファ240の第1電極241と第2電極242とが、第1TFT210のソース電極210Sおよびドレイン電極210Dを介して互いに電気的に接続される。これによって、表示信号バッファ240の第1電極241と第2電極242との間の電位がほぼ等しくなり、表示信号バッファ240に記憶された表示信号がリセットされ、第3TFT230のゲート電極230Gへの表示信号の供給が停止される。そのため、電源ライン260から第3TFT230

0を介して有機EL素子250に供給される電流が遮断されて、有機EL素子250が消光される。

【0095】また、走査配線R1からの走査信号の供給が停止されると、2行目の走査配線R2から走査信号が供給され、その後、各行に設けられた走査配線から順次走査信号が供給されて、各画素が有する有機EL素子250が表示信号に応じて発光する。そして、1行目の画素の有機EL素子250と同様に、各行の画素の有機EL素子250は所定のタイミングで順次消光される。

【0096】上述のようにして、表示装置200が駆動される。

【0097】本発明による表示装置200においては、複数の画素のそれぞれが有する制御回路205が、有機EL素子250を所定のタイミングで消光するためのスイッチング素子としての第1TFT210を有している。実施形態1の表示装置100と同様に、複数の画素ごとに設けられた有機EL素子250を所望のタイミングで消光することが可能となる。従って、表示信号が更新される周期の長さと、1周期に相当する期間において有機EL素子250が発光する期間の長さとの割合を任意の割合とすることが可能となる。そのため、動画のぼけが防止された高品位の動画表示が実現される。

【0098】1周期に相当する期間において有機EL素子250が発光する期間の長さを1周期の長さの $1/2$ 以下とすると、動画のぼけが確実に抑制され、高品位の動画表示が実現される。さらに、1周期に相当する期間において有機EL素子250が発光する期間の長さを1周期の長さの $1/4$ 以下とすると、動画のぼけがより確実に抑制され、一層高品位の動画表示が実現される。

【0099】本実施形態による表示装置200においては、図8に示したように、制御回路105に表示信号が供給されるのとほぼ同時に有機EL素子150の発光が開始されるので、1周期に相当する期間において有機EL素子150が発光する期間の長さは、1周期の長さの範囲内で任意に設定され得る。そのため、高輝度の表示が実現される。

【0100】また、本発明による表示装置200においては、複数の画素のそれぞれが有する第1TFT210が表示信号バッファ240に記憶された表示信号をリセットすることによって有機EL素子250の消光が行われるので、消光するためのスイッチング素子としての第1TFT210から有機EL素子250までの距離が短く、配線引き回しによる配線抵抗のばらつきが画素間で小さい。さらに、第1TFT210は画素ごとに設けられているので、有機EL素子250の発光と消光とを高速で(比較的短い間隔で)切り替えることができる。

【0101】さらに、本実施形態においては、第1TFT210、第2TFT220および第3TFT230は、図7(a)および(b)に示したように、互いに同一の膜から形成されている。このように、第1TFT2

10、第2TFT220および第3TFT230が互いに同一の膜から形成されている構成を採用すると、製造工程において、消光するためのスイッチング素子としての第1TFT210を形成するために新たな工程を設ける必要がなく、本実施形態の表示装置200は、効率よく製造できる。

【0102】実施形態1の表示装置100においては、図2に示したように、有機EL素子150を消光するための第1TFT110が、第2TFT120と第3TFT130との間、つまり、第2TFT120のドレイン電極120Dと第3TFT130のゲート電極130Gとの電気的な接続をオン/オフ制御できる位置に設けられているのに対し、実施形態2の表示装置200においては、有機EL素子250を消光するための第1TFT210は、表示信号バッファ240の第1電極241と第2電極242との電気的な接続をオン/オフ制御できる位置に設けられている。

【0103】従って、実施形態2の表示装置200においては、実施形態1の表示装置100のように、第1TFT210のソースドレイン間抵抗によって、第3TFT230のゲート電極230Gに印加される電圧が下がることがない。なお、表示信号バッファ240の第1電極241と第2電極242とを導通させたときに、第1TFT210のソースドレイン間抵抗によって、第1電極241と第2電極242との電位差が厳密には等しくならぬことがあるので、第1TFT210のソースドレイン間抵抗に起因するこの残留電位によって、有機EL素子250が誤って発光することがないように、有機EL素子150の発光閾値を設定することが好ましい。

【0104】

【発明の効果】本発明によると、動画のぼけが防止され、動画表示特性に優れた表示装置が提供される。本発明は、発光素子を備える表示装置全般に好適に用いられる。

【図面の簡単な説明】

【図1】本発明による実施形態1の表示装置100を模式的に示すブロック図である。

【図2】本発明による実施形態1の表示装置100の1画素に対応する領域の等価回路を示す図である。

【図3】(a)は、本発明による実施形態1の表示装置100の1画素に対応する領域を模式的に示す上面図であり、(b)は、図3(a)中のA-A'線に沿った断面図に相当する。

【図4】本発明による実施形態1の表示装置100を駆動するためのタイミングチャートである。

【図5】本発明による実施形態2の表示装置200を模式的に示すブロック図である。

【図6】本発明による実施形態2の表示装置200の1画素に対応する領域の等価回路を示す図である。

【図7】(a)は、本発明による実施形態2の表示装置200の1画素に対応する領域を模式的に示す上面図であり、(b)は、図7(a)中のA-A'線に沿った断面図に相当する。

【図8】本発明による実施形態2の表示装置200を駆動するためのタイミングチャートである。

【図9】有機EL素子を備える従来のアクティブマトリクス型表示装置300を模式的に示すブロック図である。

【図10】有機EL素子を備える従来のアクティブマトリクス型表示装置300の1画素に対応する領域の等価回路を示す図である。

【図11】(a)は、ホールド型の表示装置のある画素における時間-輝度分布を模式的に示す図であり、

(b)は、おおよびインパルス型の表示装置のある画素における時間-輝度分布を模式的に示す図である。

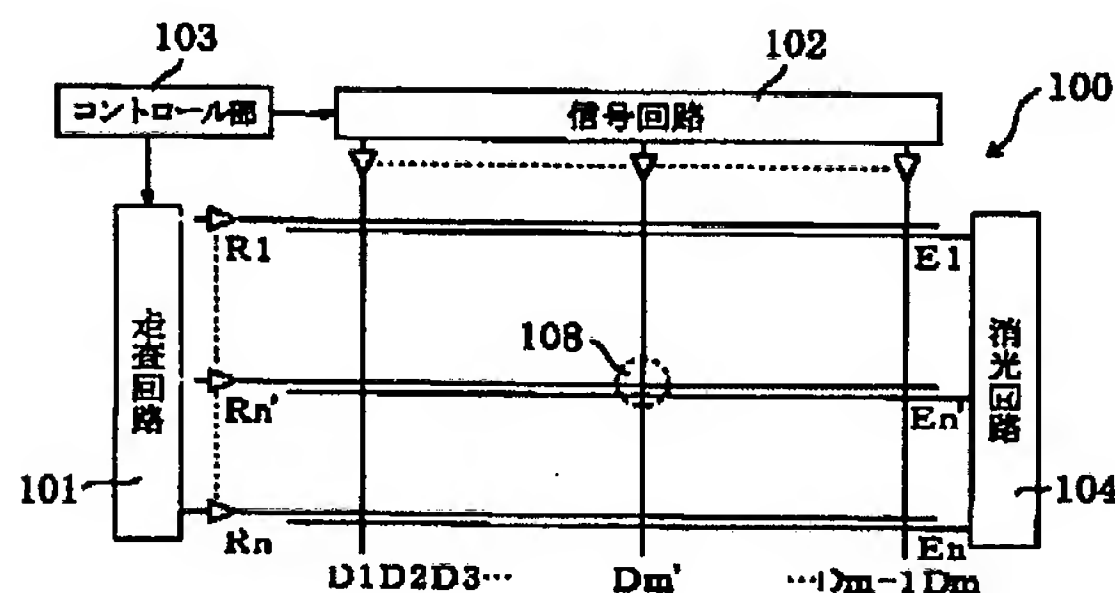
【図12】(a)は、ホールド型の表示装置において、所定の画像を水平方向に移動させる様子を模式的に示す図であり、(b)は、インパルス型の表示装置において、所定の画像を水平方向に移動させる様子を模式的に示す図である。

【符号の説明】

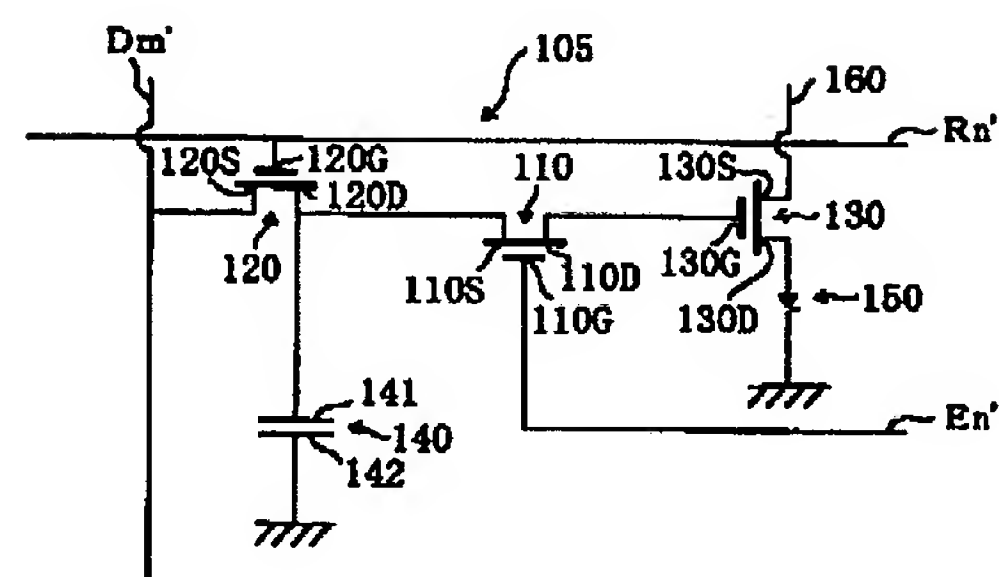
100、200 表示装置

101、201 走査回路  
102、202 信号回路  
103、203 コントロール部  
104、204 消光回路  
105、205 制御回路  
110、210 第1TFT  
110G、210G ゲート電極  
110S、210S ソース電極  
110D、210D ドレイン電極  
120、220 第2TFT  
120G、220G ゲート電極  
120S、220S ソース電極  
120D、220D ドレイン電極  
130、230 第3TFT  
130G、230G ゲート電極  
130S、230S ソース電極  
130D、230D ドレイン電極  
140、240 表示信号バッファ  
141、241 第1電極  
142、242 第2電極  
150、250 有機EL素子  
160、260 電源ライン

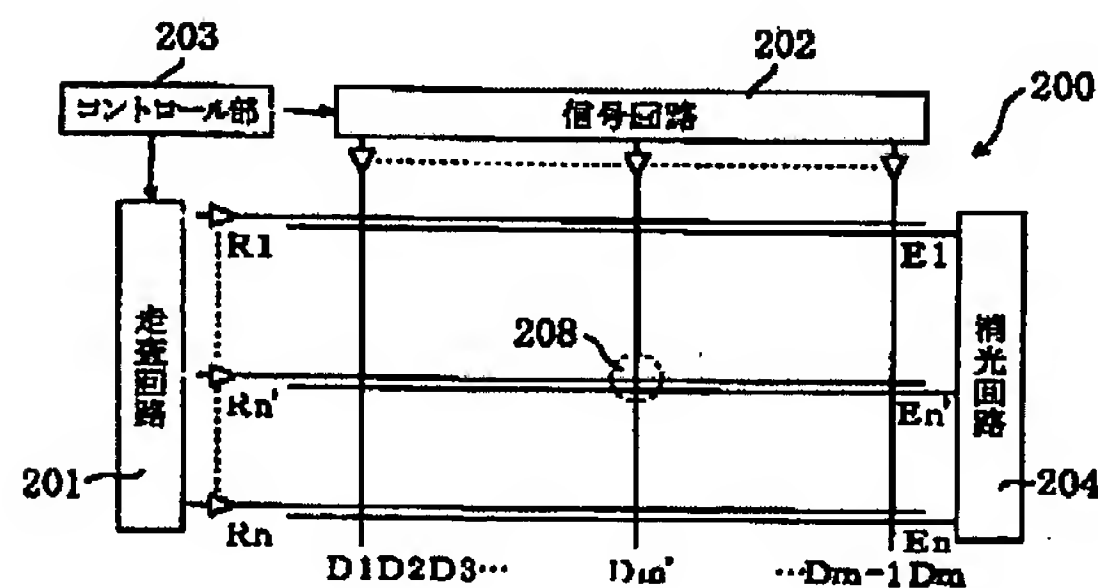
【図1】



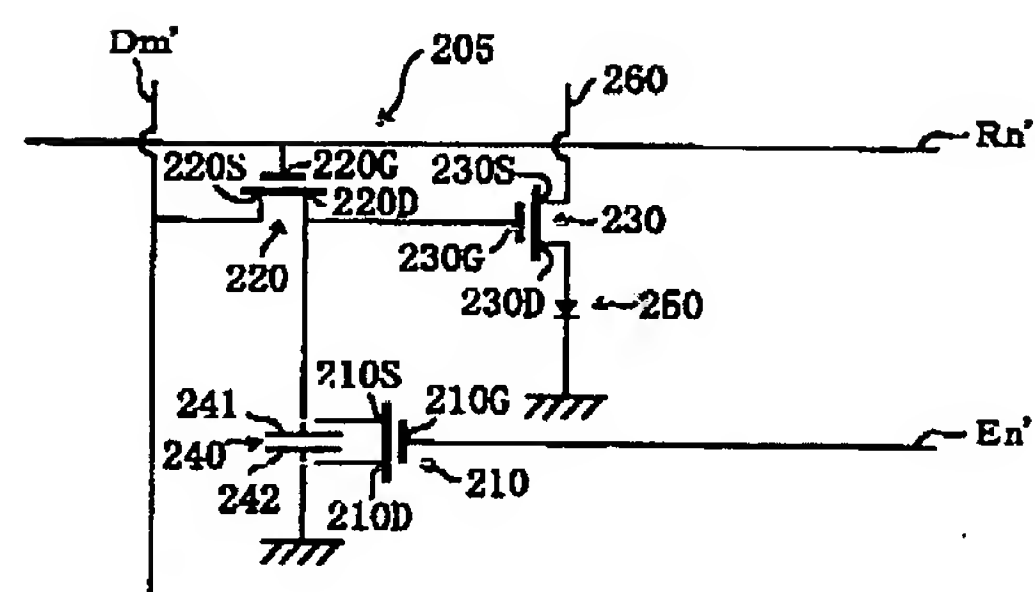
【図2】



【図5】

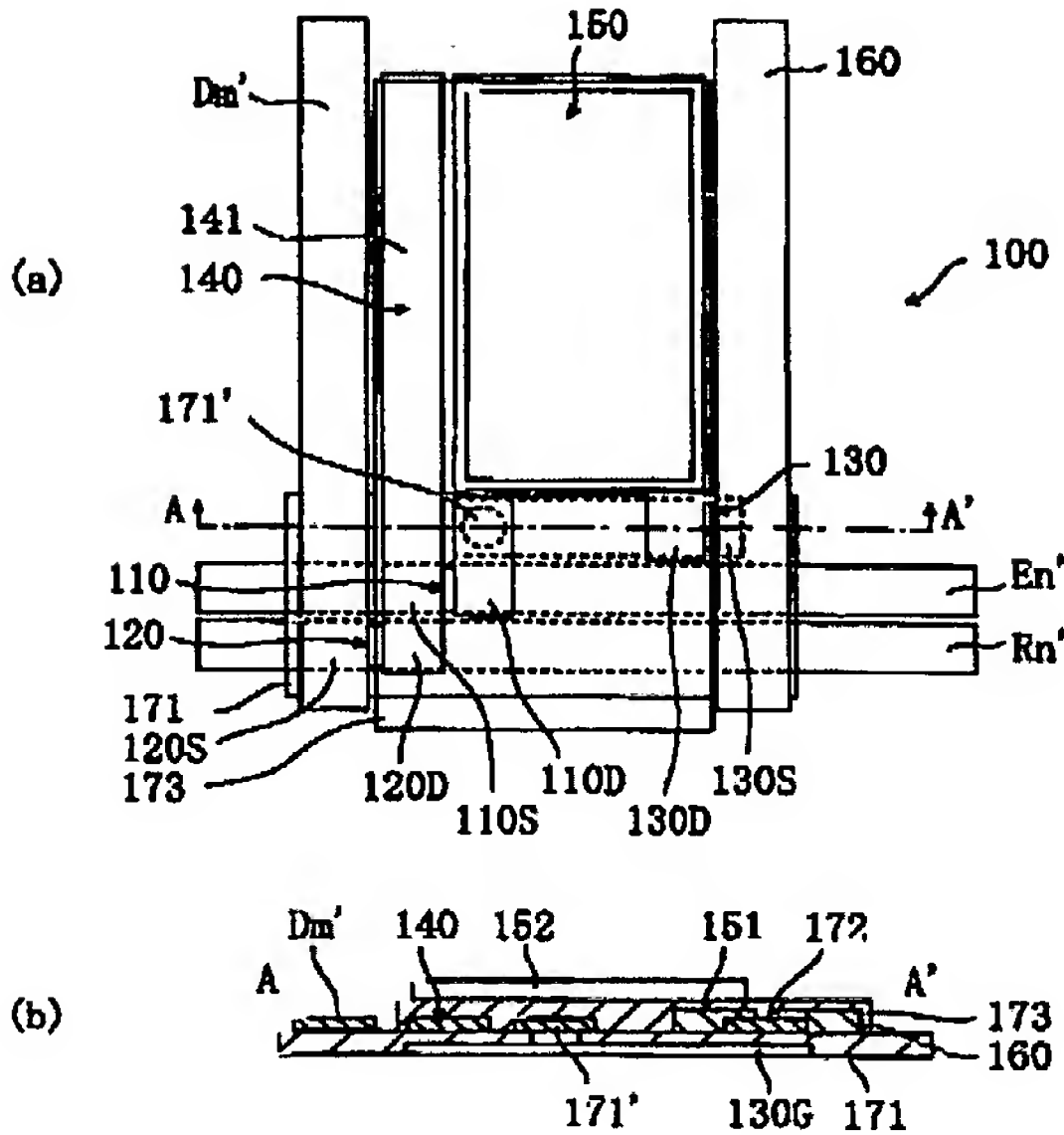


【図6】

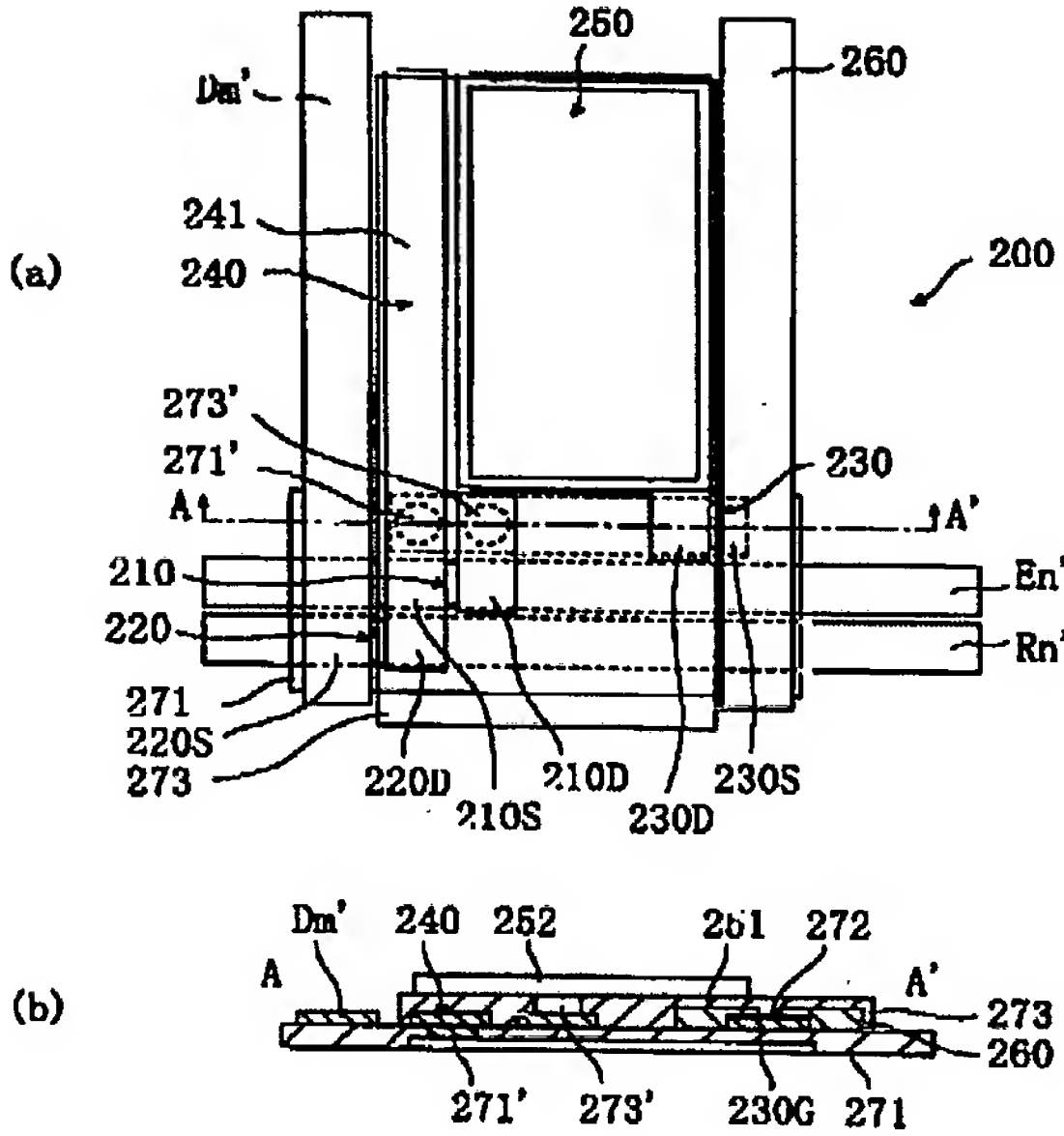




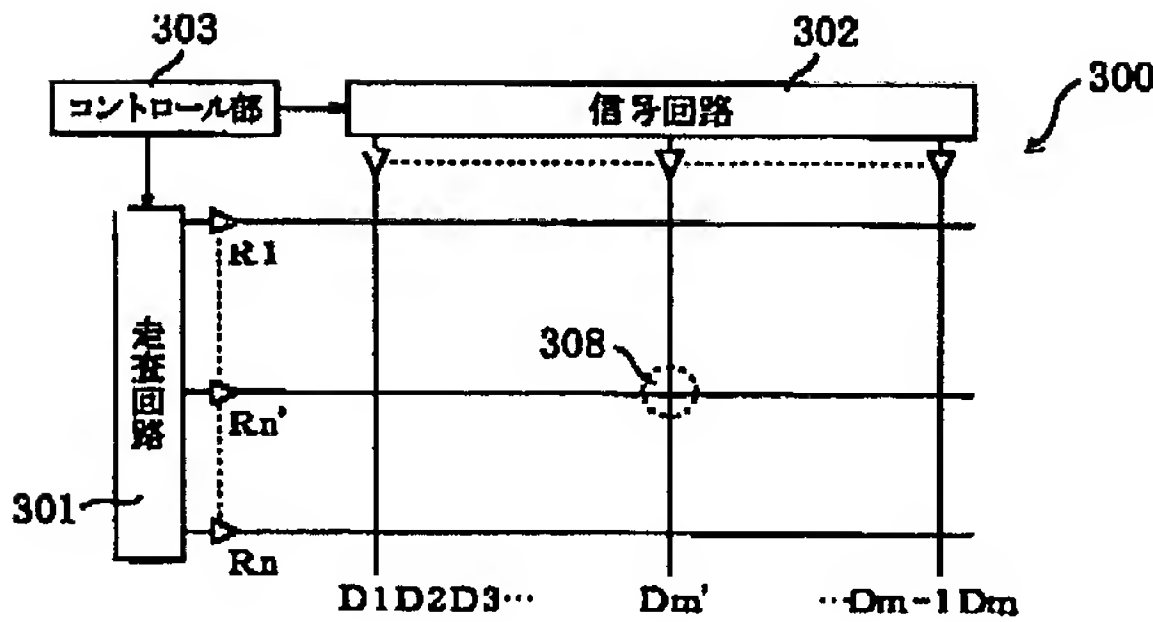
【図3】



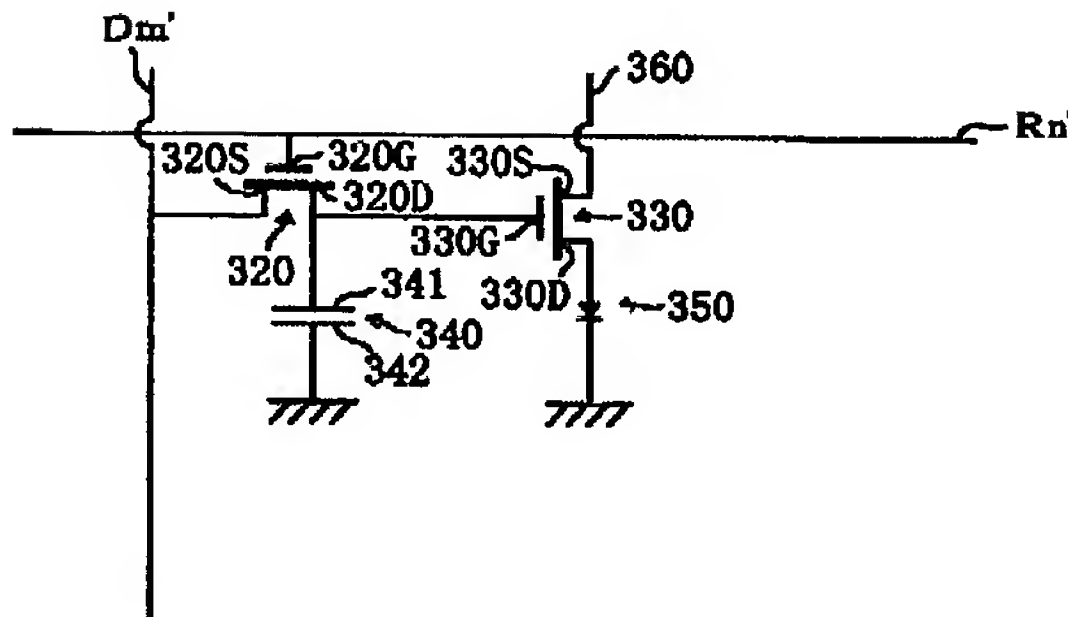
【图7】



【図9】

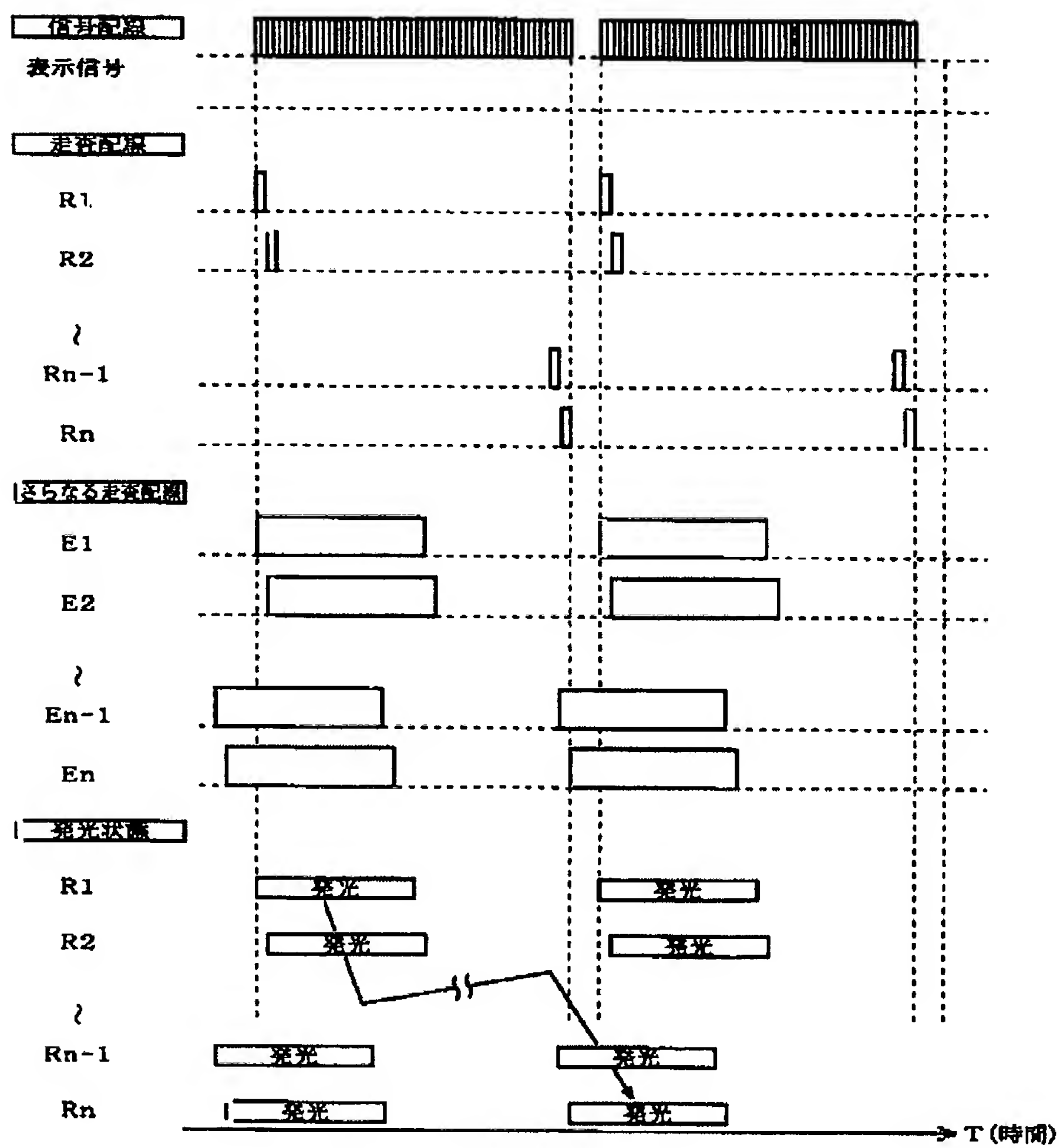


【※10】

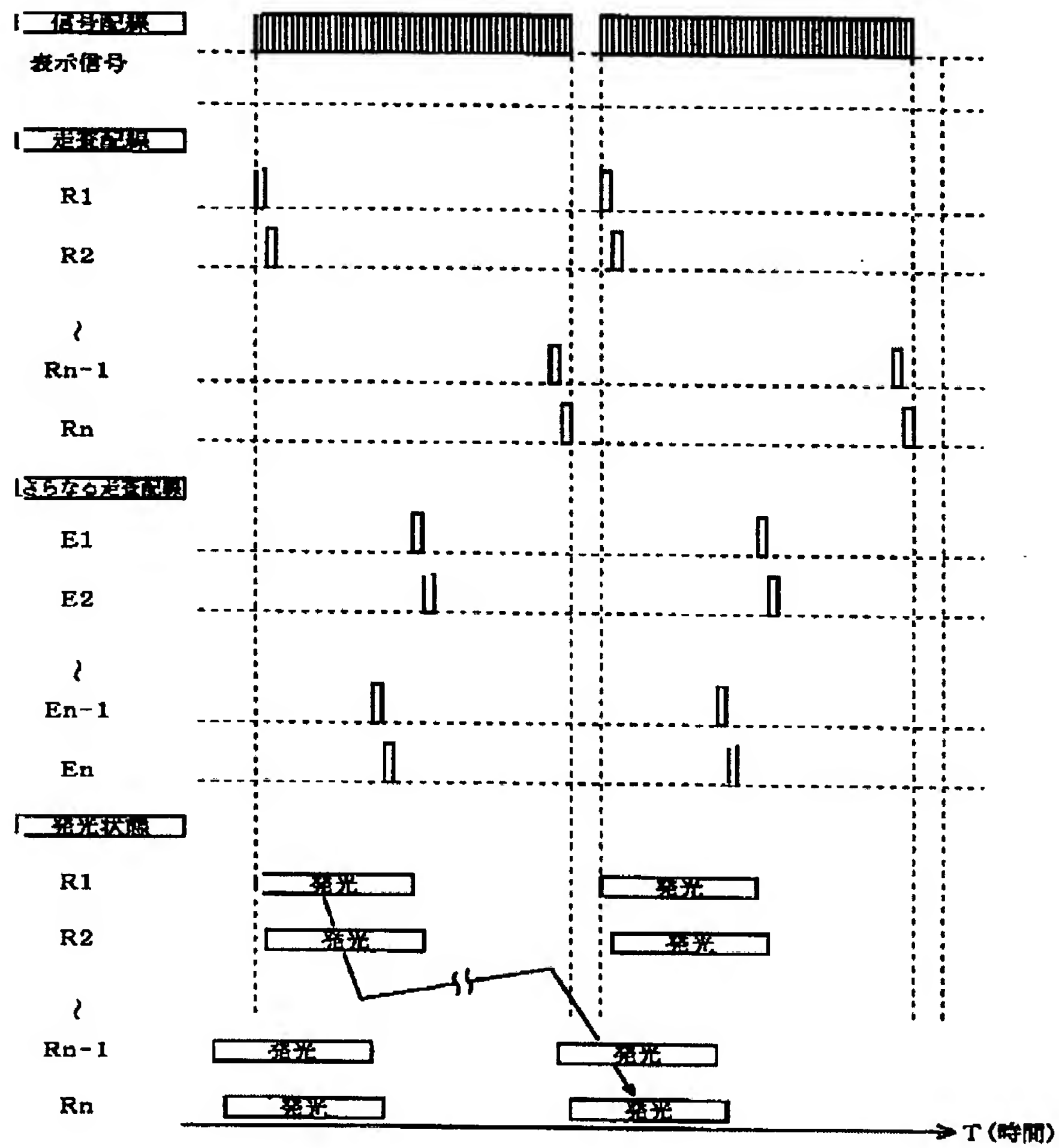




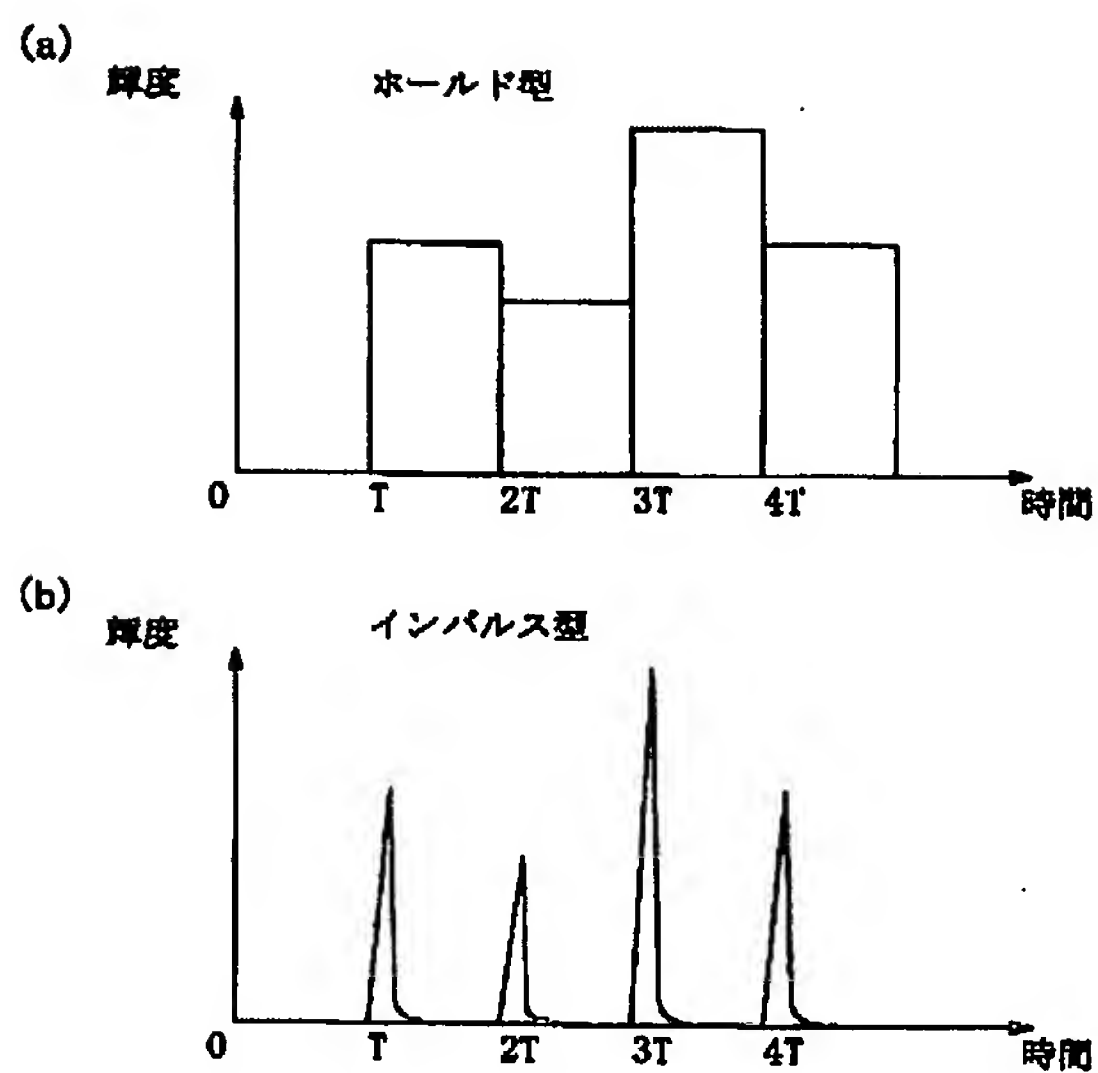
【図4】



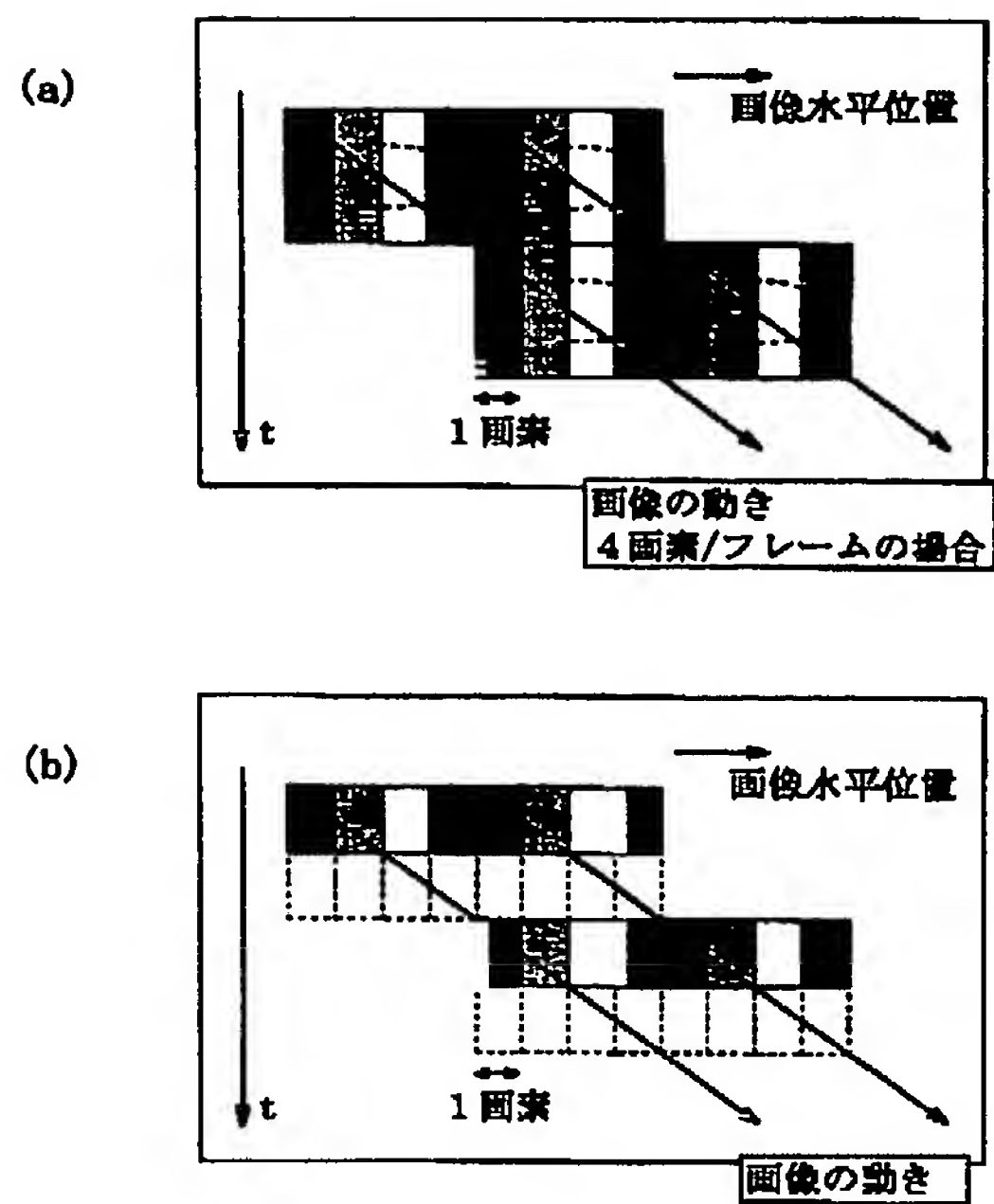
【図8】



【図11】



【図12】



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
H05B 33/14

識別記号

FI  
H05B 33/14

(参考)

A